

一种支持信息感知的功耗管理总线

孙少东¹, 吕易俗², 殷树娟², 李翔宇¹

(1 清华大学 微电子学研究所, 北京 100084; 2 北京信息科技大学 理学院, 北京 100192)

摘 要: 随着集成电路设计过程功耗问题日益严重, 低功耗技术备受关注. 对于现有 SOC 架构标准总线中没有针对功耗管理实现方法, 设计了一种支持信息感知的功耗管理总线, 支持通过信息感知方法降低系统能耗. 总线从接口实现了电源, 门控技术可以关断 IP 时钟甚至电源以此来降低系统动态功耗和静态功耗, 且支持不同“睡眠”深度. 为了降低功耗管理总线引入的开销, 设计了轻量级功耗管理总线, 支持简单的功耗管理通信协议, 灵活的功耗管理操作, 与传统总线不同可以支持对多个 IP 并行开关. 实验结果表明, 功耗管理总线是一款低开销、协议简单且兼容性好的轻量级总线.

关键词: 功耗管理; 总线; SOC; 信息感知

中图分类号: TN79.1

文献标识码: A

文章编号: 1000-7180(2015)11-0082-05

An Information Aware Power Management Bus

SUN Shao-dong¹, LV Yi-su², YIN Shu-juan², LI Xiang-yu¹

(1 Department of Microelectronics, Tsinghua University, Beijing 100084, China;

2 College of Science, Beijing Information Science & Technology University, Beijing 100192, China)

Abstract: With the exponential increase in chip density and complexity has caused an increasingly serious problem of power consumption, low-power technology draw attention of designers. In the view of commonly used SOC bus do not support power management, a power management bus, providing information aware, is proposed. The salve interface of power management bus can turn clocks off and even switch the supply rail or ground off when not required, which can dramatically reduce dynamic power and static power respectively. To reduce the overhead introduced by power management bus, we design a lightweight protocol with brief and flexible operation. What's the remarkable difference with traditional bus is its parallelism. Experimental results show the functional completeness and robustness of the compatibility.

Key words: power management; bus; SOC; information aware

1 引言

SOC 技术的 IP 重用技术大大简化了芯片设计, 缩短了设计周期, 提高了整个系统复杂度和功能, 在集成电路设计领域中应用范围越来越广泛. 系统集成度和器件漏电功耗的提升, 导致功耗问题日益严峻, 限制性能的进一步提高. 低功耗技术是集成电路设计领域一项艰巨任务. 随着低功耗设计技术的发展, 系统设计越来越多地运用到“动态功耗管理

DPM^[1] (Dynamic Power Management) 技术, 系统中不再使用的模块将被关闭或者进入低功耗模式. 除此之外, 时钟门控 (Clock-Gating) 和电源门控^[2] (Power-Gating) 技术在系统设计中运用愈加广泛. 在低功耗设计中, 通过专门的功耗管理单元 PMU 实现功耗管理, 而 SOC 系统通过标准总线接口来降低系统集成的复杂度, 此种实现方法降低了在 SOC 系统设计中 IP 重用性. 在现有的 SOC 系统设计中, 常用的系统总线 Wishbone^[3]、Avalon^[4] 以及 AM-

收稿日期: 2014-12-21; 修回日期: 2015-02-10

基金项目: 国家自然科学基金(61006021); 北京市自然科学基金(4112029)

BA^[5]和 AXI^[6]等都没有针对功耗管理的实现方法。此外,功耗管理的数据传输和其他数据传输共用一套总线,将进一步导致总线占用率提升,且无法满足动态功耗管理的实时性要求。

本文提出一套兼容现有总线的功耗管理总线,包括一种兼容 SOC 总线的功耗管理总线标准从接口,实现对 IP 级 Clock/Power-Gating 技术支持,能够快速方便地将 IP 时钟或者电源关断,以此来降低系统功耗,且能够支持不同深度的关断,以及对于系统层决策性失误的关断过程的高效回退功能。在维持原系统不变的基础上,将功耗管理部分由功耗管理总线来实现,提高支持电源门控系统的兼容性,且通过支持多个 IP 的并行性开关,大大提高整个系统功耗管理的实现效率。

2 功耗管理总线需求分析

一个功耗管理总线应该具有以下的特点。

(1)低开销。尽量降低功耗管理过程带来的附加开销,特别是功耗开销,降低通信的复杂性;

(2)实时性强。减少电源门控过程的时间开销。无线传感器网络本身有高实时性要求,需在系统中尽量降低引入电源门控后带来的额外时间开销;

(3)兼容性好。结构上兼容现有总线支持对 IP 的复用性,且兼容不同应用。

此外,现代的动态功耗管理技术中,有些情况会采用信息感知的功耗管理方法,即系统在执行功耗管理时要实时检测系统的状态、电池的电量、芯片温度、任务强度等信息,并根据这些信息分析结果对 IP 动态实时地进行功耗管理^[7-8],功耗管理的结果直接受感知到的信息影响。考虑这种情况,在功耗管理总线中还需支持信息感知的功能。

3 兼容 SOC 系统功耗管理总线设计

如图 1 显示了本文设计的功耗管理总线系统的整体设计框架。功耗管理总线主要由主接口模块和从接口模块实现功能。

在 SOC 系统中,各个 IP 单元间通过标准总线互联通信,而功耗管理从接口是针对各个 IP 接口分别进行功耗的管理工作,为适应 SOC 系统接口,依照功耗管理的规律和需求定制功耗管理总线。功耗管理从接口有效地提高了 IP 模块化,提供了标准对外接口,支持信息感知功能,能够实现多深度的功耗管理。功耗管理主接口能够实现多 IP 并行功耗管理,支持简单、快捷的功耗管理通信协议以及高效率

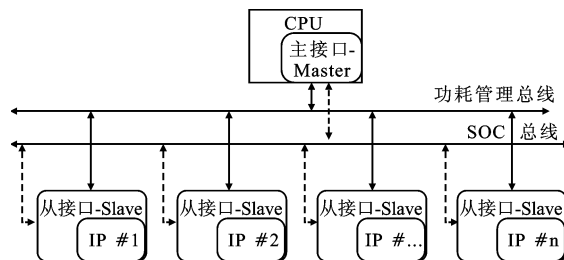


图 1 兼容 SOC 系统功耗管理设计结构图

的功耗管理实现过程。本文选用 Wishbone 总线进行扩展,得到了兼容 wishbone 总线的支持功耗管理的 IP 接口,该接口作为功耗管理总线的从端接口。接口扩展使得基于 Wishbone 总线通信的 SOC 系统能够对外提供标准接口。

3.1 功耗管理总线的总体结构

功耗管理总线整体结构如图 2 所示。

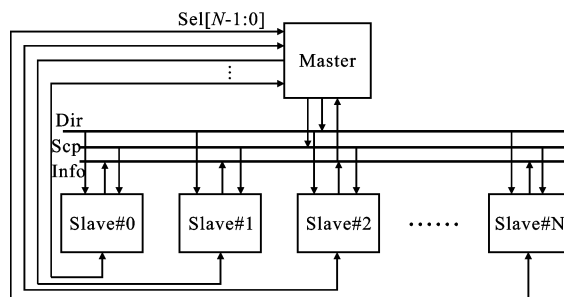


图 2 功耗管理总线结构图

Master 是总线的主设备端,是系统中负责功耗管理的控制模块,它对受管理的 IP (Slave 单元) 发送功耗管理命令。每个被管理的 IP 单元是从设备端,它们通过总线 Slave 接口连接到总线上。

功耗管理总线接口信号具体如表 1 所示。

表 1 功耗管理总线信号

名称	宽度	功能
Dir	1	总线占有权控制信号
Sel	$1 \times N$	片选信号,每个 IP 对应一位
Scp	3	功耗管理命令发送信号
Info	8	用于信息采集反馈

为了减少总线连线的数量,本总线采用了半双工的工作方式,并充分复用信号线。当 $Dir=1$ 时,此时总线控制权由 Master 掌握,Master 可以通过总线向下发送功耗管理命令或信息采样命令,具体命令由 Scp 信号值确定,通过 Sel 信号来选择对哪些 IP 并行操作。当 $Dir=0$ 时,此时总线控制权交给 Slave,当 IP 对功耗管理命令响应时,即可以通过 Sel 信号并行响应;当 IP 需要对信息采样进行响应

时,利用 Info 信号回馈信息感知所关心的内容,具体 IP 响应顺序由 Master 通过 Sel 信号来控制。

3.2 功耗管理总线通信协议

信息感知系统中需要定时感知所需信息,分析 IP 工作状态后再进行功耗管理。为了简化总线逻辑,我们采用了预先规划好的分时复用方案,把功耗

管理总线工作过程分为信息感知和功耗管理两个交替的工作相位,如图 3 所示。在信息感知相位功耗管理单元依次从多个地址收集上传的信息——收集信息的地址和信息内容由系统设计师定义,并运行功耗管理算法,在功耗管理相位执行功耗管理操作。



图 3 功耗管理总线分时复用控制流程

图 4 显示了多个 IP 并行从电源开启状态一步步关断到电源关闭状态。以 Sel[7] 连接的 Slave 为例,Dir=1 时 Master 选中 Sel[7]=1 利用 Sep 信号发送“关”命令,接下来发送“查询”命令要求 Slave

送回响应,之后拉低 Dir=0 将总线控制权让给 Slave,当该 Slave 完成操作后通过拉低 Sel[7] 通知 Master,完成从电源开启状态跳转到 IP 隔离状态。通过 Sel 信号选中多个 Slave 可以实现并行操作。

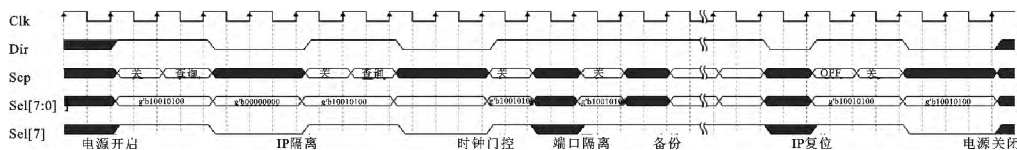


图 4 功耗管理流程

图 5 显示了信息感知过程操作流程,使用了现有 SOC 总线中常用的流水线传输方式,Master 同时向多个 Slave 广播信息感知命令,再通过对 Sel 的

控制逐个查询每个 Slave 感知得到的信息,如此提高了整个总线信息感知过程的实时性。

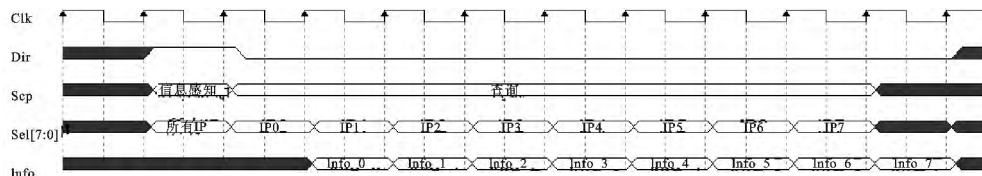


图 5 信息感知过程

3.3 Slave 模块设计

Slave 模块主要负责管理 IP 单元的时钟、电源以及电源门控过程中 Wishbone 总线与 IP 单元的隔离。这包括了信号隔离,时钟门控,数据备份,IP 单元复位,电源门控等功能。功耗管理流程如图 6 所示。功耗管理流程的状态包含电源开启、IP 隔离、时钟门控、端口隔离、备份、IP 复位和电源关闭 7 个状态,各个状态依照功耗管理指令顺序执行,并且可依据不同功耗管理深度停留在各个状态,甚至当系统需要改变电源门控的方案时,可以随时回退,有利于控制由于意外需要唤醒或关闭单元电源造成的时间和能耗开销。功耗管理过程只有单独的开、关两个方向命令,控制简单。

功耗管理状态以电源开启到电源关闭的顺序依次加深“睡眠”深度,在电源开启状态功耗管理接口

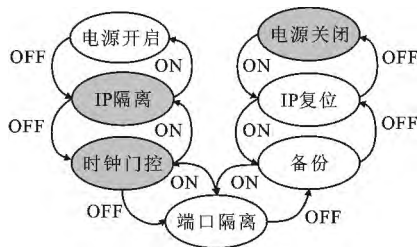


图 6 Slave 模块状态转移图

单元不会影响 IP 单元与外部 Wishbone 总线的正常通信,保证了对总线的兼容性。

IP 隔离状态是功耗管理接口给 IP 单元与 SOC 系统中其他逻辑单元执行数据通信或者软件备份预留出的状态。用户可以根据不同应用自定义,极大地提高了对不同系统的兼容性,对于不同应用其执行周期不同。

在时钟门控状态,功耗管理接口会依照方向指令连通或中断对 IP 单元的时钟信号. 关断时钟信号可以使 IP 单元停止内部操作,让 IP 单元与外部保存数据同步一致. 如接收电源开启方向指令,时钟信号会恢复接入 IP 单元.

端口隔离状态是对 IP 单元的输出端口管理,防止其干扰外部通信,利用特殊隔离单元连接 wishbone 总线的输出信号钳位在安全的电平.

备份状态处理当 IP 单元电压域电源关断后数据丢失的问题. 在电源门控技术中,IP 单元在电源关断后将会丢失内部数据,为保证在电源重新启动后 IP 单元恢复或继续断电前工作状态,在 IP 隔离状态可以通过读取 IP 单元将其内部数据导出备份. 备份状态就是保持寄存器的保存或恢复操作.

在 IP 单元电压域电源完全关断前对 IP 进行复位操作,并一直保持至 IP 单元电源开启后复位操作才撤销,这是为了清空 IP 内部数据并在电源重新开启后 IP 也处于复位后状态.

在功耗管理执行的最后状态 IP 单元电压域将会被关断,为减少冲击电流对电源网络的影响,电源关断状态将执行多周期操作.

3.4 Master 模块设计

总线控制器主要需要实现以下两方面功能:①信息感知流程控制;②电源门控功耗管理流程控制.

信息感知流程由图 7 所示. 在 INFOCMD_SEND 状态发送命令,INFO_WAIT 状态选择第一个响应感知信息的 IP,在 INFO_RECE 状态依次选择其他 IP 响应感知信息的 IP 和接收感知信息. 功耗管理总线采用分时复用的方式工作,一次交易过程由 2 个或多个时间片组成,每个时钟周期是一个时间片,对不同交易类型的时间片的操作进行了定义——这样有助于简化分时复用的控制逻辑和提高系统时间行为的可预测性.

功耗管理过程中,对于执行时间不确定的交易需要根据 Slave 的应答确定操作完成,比如,IP_ISO、CLK_OFF 以及 POWER_OFF 状态持续的时间依赖于具体应用或 Slave 单元的电路;其他状态都可以确保 1~2 个周期内直接完成,因此不需要应答.

本协议中分别设计了如使用图 8 所示的四相位和两相位两种交易,分别适应不同的操作,以此来简化功耗管理的实现过程,如此确保了 Clock-Gating 和 Power-Gating 不同深度功耗管理实现的正确性,且提高整个系统的实时性. 其中四相位控制由图 7

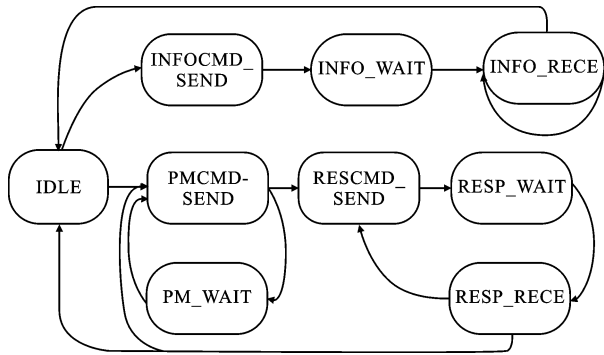


图 7 Master 模块状态转移图

中状态机 PMCMD_SEND、RESCMD_SEND、RESP_WAIT 以及 RESP_RECE 这四个状态来控制,两相位由 PMCMD_SEND 和 PM_WAIT 这两个状态来控制.

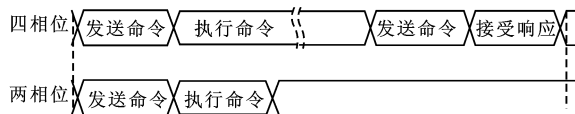


图 8 四相位和两相位交易

4 仿真测试

4.1 仿真平台

为验证基于 Wishbone 总线的功耗管理接口和功耗管理总线的功能,搭建了如图 9 所示测试平台. 利用 AES 模块(美国国家标准的用于加密电子数据的规范)作为测试 IP. 在测试平台中共实例化了 8 个 AES 模块,通过标准功耗管理接口分别连接到 Wishbone 总线和定制的功耗管理总线上.

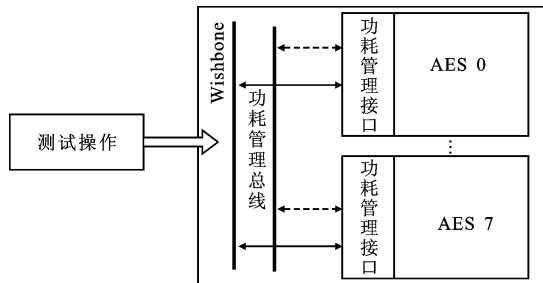


图 9 仿真平台

4.2 仿真结果

系统在 Modelsim 和 VSC 环境下验证了功耗管理总线设计功能的正确性,其中主要包括了系统工作过程中对 AES 的 Clock/Power-Gating 的开关过程,以及在功耗管理过程中对于 AES 模块与 Wishbone 总线端口的隔离的功能实现. 为了验证功

耗管理总线并行开关能力,一共实例化了 8 个 AES 模块,经测试可以看出,系统能够准确地接收总线命令完成 Clock/Power-Gating 的开关,且具有并行操作能力.

测试中系统正常工作数据通信由 Wishbone 总线来实现,经过测试可知系统实现了功耗管理过程中 IP 和总线之间的数据隔离,结构上达到了设计需求的兼容性要求.功能测试结果如图 10 所示.

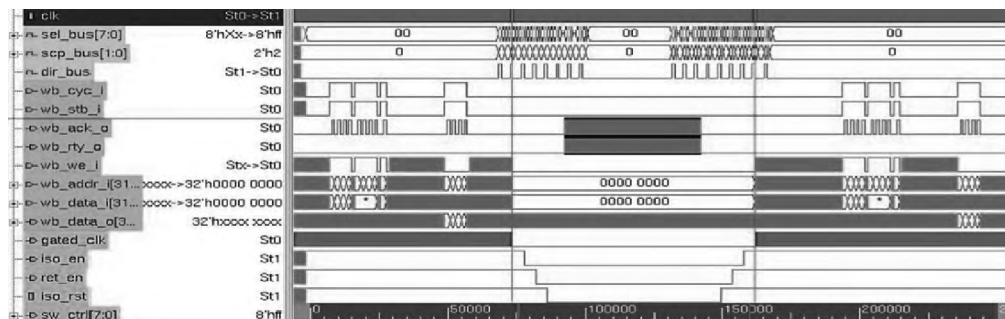


图 10 功能测试结果

5 结束语

针对现有 SOC 总线中没有对功耗管理的实现方法的问题,本文提出一种轻量级、操作简单、协议简明的支持信息感知的功耗管理总线,保证 SOC 系统兼容性的基础上提高了整个系统功耗管理实现效率以及实现过程的灵活性.

参考文献:

[1] Shakhsher Y. A custom processor for node and power management of a battery-less body sensor node in 130nm CMOS [C]// Custom Integrated Circuits Conference (CICC). San Jose, CA: IEEE, 2012:1-4.

[2] Michael Keating, David Flynn, Robert Aitken, et al. Low power methodology manual for system-on-chip design[M]. 2nd ed. New York: Springer, 2008.

[3] Xu Xing. Porting from wishbone bus to avalon bus in SoC design [C]// Custom Electronic Measurement and Instruments. Xi'an, IEEE, 2007(1):862-865.

[4] Qian Zhou. A design of multi-core system based on Avalon bus [C]// Custom Computer Science and Network Technology (ICCSNT). Harbin, IEEE, 2011: 1456-1459.

[5] Shrivastav A. Performance comparison of AMBA bus-based system-on-chip communication protocol [C] //

功耗管理总线在 Synopsis 公司 ased32rvt __t1p05v25c 工艺库下综合,结果如表 2 所示,可知设计总线是一款低功耗轻量级总线.

表 2 综合结果

	面积/ μm^2	功耗/ μW
Master 模块	2 850.099 7	0.8466e+03
Slave 模块	1 186.548 7	0.3965e+03

Custom Communication Systems and Network Technologies (CSNT). Katra, Jammu, IEEE, 2011: 449-454.

[6] Sanchez-Pena A. Verification interface primitives for the development of AXI compliant elements and systems [C]// Digital System Design: Architectures, Methods and Tools. Dubrovnik, IEEE, 2006: 305-312.

[7] Jinfeng Liu A. Power-aware scheduling under timing constraints for mission-critical embedded systems [C] // Design Automation Conference. Las Vegas, IEEE, 2001: 840-845.

[8] Min R. An architecture for a power-aware distributed microsensor node [C] // Signal Processing Systems. Lafayette, LA, IEEE, 2000: 581-590.

作者简介:

孙少东 男,(1990-),硕士研究生.研究方向为数字集成电路设计. E-mail:sshaodong@163.com.

吕易俗 男,(1990-).研究方向为低功耗数字集成电路设计.

殷树娟 女,(1981-),博士,副教授.研究方向为混合信号电路设计.

李翔宇 男,(1977-),博士,副研究员.研究方向为高效 SOC 系统设计、传感器节点处理器、信息安全芯片.